

D6

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 632 776

(21) N° d'enregistrement national :

88 07761

(51) Int Cl⁴ : H 01 L 29/90, 29/04, 29/06.

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 10 juin 1988.

(30) Priorité :

(43) Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 50 du 15 décembre 1989.

(60) Références à d'autres documents nationaux appa-
rentés :

(71) Demandeur(s) : Société dite : THOMSON HYBRIDES ET
MICROONDES, Société Anonyme. — FR.

(72) Inventeur(s) : Rémy Le Fur et Eric Estier, Thomson-CSF
S.C.P.I.

(73) Titulaire(s) :

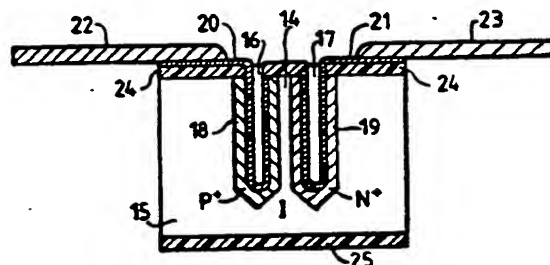
(74) Mandataire(s) : James Taboureau, Thomson-CSF
S.C.P.I.

(54) Diode hyperfréquences de type PIN et son procédé de fabrication.

(57) L'invention concerne une diode hyperfréquences consti-
tuée de trois régions de silicium dopé P⁻, intrinsèque et dopé
N⁻.

Cette diode est formée par une cloison 14 de silicium
intrinsèque définie, dans l'épaisseur d'un substrat 15, par deux
puits 16, 17. Les parois des puits sont dopées l'un de type P⁻,
l'autre de type N⁻, pour former sur les parois de la cloison 14
une couche P⁺ 18 et une couche N⁻ 19. Deux métallisations
20, 21 descendant dans les puits 16, 17 assurent les reprises
de contacts. Les puits sont gravés de façon anisotrope, les
parois de la cloison 14 étant dans un plan cristallographique
[111] perpendiculaire au plan cristallographique [110] du sub-
strat 15.

Application à la commutation rapide en hyperfréquences.



FR 2 632 776 - A1

DIODE HYPERFREQUENCES DE TYPE PIN ET SON PROCEDE DE FABRICATION.

La présente invention concerne une diode de type PIN pour applications hyperfréquences, ainsi que le procédé de réalisation de cette diode. Elle est caractérisée par une structure dite verticale, c'est à dire perpendiculaire en plan du substrat dans lequel elle est enterrée.

Les diodes dites PIN sont connues depuis de nombreuses années : elles sont constituées par une double jonction entre une région de matériau semiconducteur dopée de type P^+ , une région semi-isolante I et une région dopée N^+ . C'est pourquoi on les désigne par l'abréviation PIN. Bien qu'on ne sache pas faire de silicium intrinsèque ou semi-isolant, un matériau a des propriétés semi-isolantes en hyperfréquences (1 à 40 GHZ) si

$$\rho \epsilon \omega \gg 1$$

ρ étant sa résistivité, ϵ étant sa constante diélectrique et ω étant la pulsation à la fréquence de travail.

Actuellement, les diodes PIN les plus courantes sont de deux types : planar ou méso.

Une diode planar connue est représentée en figure 1. Sur un substrat 1 en silicium intrinsèque est déposée une couche isolante 2 de SiO_2 ou Si_3N_4 par exemple, dans laquelle sont ouvertes deux fenêtres. En respectant les règles de l'art, une région 3 de type P^+ et une région 4 de type N^+ sont diffusées à travers les fenêtres dans le substrat 1 intrinsèque. Des métallisations de reprises de contact 5 et 6 complètent la diode, qui est ensuite passivée par une couche de silice.

Cette technologie présente cependant deux inconvénients.

5 En premier lieu, la largeur W de matériau I qui sépare les deux régions diffusées P^+ et N^+ n'est pas constante dans un lot de fabrication, en raison des variations de diffusion latérales, sous la couche isolante 2. Notamment pour les diffusions profondes, les profils de dopage irréguliers amènent des dispersions de tensions de claquage.

10 Ensuite, les lignes de champ entre les régions diffusées, représentées en pointillés, sont distordues et n'ont pas toutes la même longueur : il s'en suit une augmentation du temps de commutation.

15 Dans les diodes méso, telles que représentées en figure 2, une méso est taillée dans des couches 7 de type P^+ et 8 intrinsèque déposées sur un substrat 9 de type N^+ . Ce cas est plus fréquent que celui de couches N^+ et I déposées sur un substrat P^+ . La région 8 à haute résistivité est rigoureusement délimitée par les régions 7 et 9 dopées P^+ et N^+ et par la méso, elle-même délimitée par des caissons de verre 10 et 11. Une première reprise de contact se fait par une métallisation 12 déposée sur la région P^+ et l'anneau de verre 11, et une
20 deuxième reprise de contact se fait par une métallisation 13 qui descend jusqu'au substrat N^+ .

25 Ainsi considérée, la capacité de jonction d'une diode PIN méso est parfaitement définie, et le temps de commutation est faible. En fait, le substrat 9 étant conducteur, et si la diode est montée en anneau de verre tel qu'en figure 2, il se forme des capacités parasites constituées par les métallisations 12 et 13, le verre de l'anneau 11 et le substrat 9. En outre, les flancs de la méso exigent une très bonne passivation, qui est imparfaitement résolue par le verre fritté des caissons 10 et 11.

30 La diode PIN selon l'invention permet de combiner les avantages des deux types de diodes décrits, sans en avoir les inconvénients.

Selon l'invention, une diode PIN est constituée sur les deux faces d'une cloison définie, dans un substrat de

matériau semi-isolant, par deux gravures profondes qui se font face. Les gravures sont anisotropiques, parce qu'effectuées en respectant les plans cristallographiques du substrat monocristallin. Les flancs de chacune des deux gravures profondes sont modifiés par deux diffusions, successives, pour conférer à l'un un dopage de type P^+ et à l'autre un dopage de type N^+ . Deux métallisations, dans les gravures et en surface du substrat, permettent de contacter la diode PIN qui est constituée par une diffusion P^+ sur un premier flanc de la cloison, intrinsèque, et une diffusion N^+ sur un second flanc de la cloison. La diode PIN selon l'invention est donc totalement enterrée dans le substrat semi-isolant -sauf ses connexions d'accès- et a une structure verticale.

De façon plus précise, l'invention concerne une diode hyperfréquence de type PIN, comportant, outre un substrat en silicium intrinsèque, une région intrinsèque, comprise entre deux régions dopées respectivement de type P^+ et de type N^+ , cette diode PIN étant caractérisée en ce qu'elle a une structure verticale, enterrée dans le substrat, et est constituée par une cloison de silicium intrinsèque gravée dans l'épaisseur du substrat au moyen de deux puits dont les parois sont dopées de type P^+ pour un premier puits et de type N^+ pour un second puits, de sorte que la cloison intrinsèque est modifiée de type P^+ sur une première face et de type N^+ sur une deuxième face, ladite diode étant complétée par deux métallisations qui, descendant dans les puits, assurent les contacts électriques avec les régions P^+ et N^+ de la diode PIN.

L'invention sera mieux comprise par la description détaillée qui suit maintenant d'un exemple de diode et de son procédé de fabrication, en s'appuyant sur les figures jointes en annexe, qui représentent :

- fig. 1 : vue en coupe d'une diode PIN planar selon l'art connu, déjà décrite,
- fig. 2 : vue en coupe d'une diode PIN méssa selon l'art connu, déjà décrite,

- fig. 3 : vue en coupe d'une diode PIN enterrée selon l'invention,
- fig. 4 à 8 : différentes étapes du procédé de réalisation de la diode selon l'invention,
- 5 - fig. 9 et 10 : diode PIN selon l'invention, vue en coupe, sans métallisations et avec connexions par poutres.

La figure 3 représente une vue en coupe d'une diode PIN selon l'invention. Elle est construite autour d'une cloison 14, isolée dans un substrat 15 au silicium intrinsèque, au moyen de deux gravures 16 et 17 en forme de puits. Les parois d'un puits, 16 par exemple, sont dopées de type P, par diffusion. La cloison intrinsèque 14 a donc une première face transformée en une couche 18 de Si de type P⁺. Les parois de l'autre puits 17 sont dopées type N⁺ par une autre diffusion. La cloison intrinsèque 14 a donc une deuxième face transformée en une couche 19 de Si de type N⁺.

La diode PIN selon l'invention est ainsi constituée par une cloison entièrement enterrée dans le substrat 15, et délimitée par deux puits 16 et 17. Elle est complétée par deux métallisations de reprise de contact 20 et 21, déposées, en respectant les règles de l'art, sur les parois des puits, donc sur les couches diffusées P et N⁺, ces métallisations débordant en partie sur le dessus du substrat, mais bien entendu pas sur le dessus de la cloison 14. Eventuellement, et selon l'usage qui sera fait de la diode, deux poutres métalliques 22 et 23, rapportées sur les métallisations 20 et 21, constituent les connexions d'accès dans le système connu sous le nom de "beam-lead".

Les gravures en forme de puits 16 et 17 ont typiquement 5 μ m de largeur sur 25 μ m de profondeur. Leurs faces latérales sont parfaitement définies et planes, parce que les gravures sont effectuées en respectant la structure cristallographique du substrat 15. Si celui-ci est par exemple un silicium [110] les deux faces principales de la cloison 14 sont orientées selon un plan [111] perpendiculaire au plan [110]

du substrat. Le masquage et la gravure anisotropique sont donc des opérations très nettement définies dans le processus de réalisation collective de diodes PIN selon l'invention, qui va être décrit maintenant.

5 Le processus de fabrication débute par une croissance de silice en phase vapeur sur les deux faces principales d'une tranche de silicium intrinsèque orientée [110]. De ces deux couches 24 et 25 de SiO_2 , de 1 μm d'épaisseur, l'une servira de masque pour réaliser la cloison 14, l'autre protégera le substrat 15 en face arrière.

10 On sait que les tranches de silicium disponibles industriellement sont repérées, en orientation cristallographique, par un ou plusieurs méplats codés. Par exemple, la tranche de silicium [110] représentée en figure 45 comporte deux méplats qui donnent les plans cristallographiques [111] et $[\bar{1}\bar{1}\bar{1}]$.

15 La tranche de silicium recouverte de ces deux couches 24 et 25 de SiO_2 , est enduite de résine de masquage, et toutes les ouvertures 26 qui y sont pratiquées, à raison d'une pour chaque puits 16 de chaque diode, sont obligatoirement parallèles à un méplat de la famille des plans [111] : dans cette famille, aux moins quatre plans [111] sont perpendiculaires au plan [110] du substrat.

20 Ceci a l'avantage que la gravure anisotropique par une solution comprenant :

- 410 ml d'alcool isopropylique
- 880 g de potasse
- 880 ml d'eau

25 donne des profils verticaux et remarquablement plans.

30 La sélectivité de la gravure entre la silice et le silicium, dont le rapport des vitesses de gravure est de l'ordre de 200, dans les conditions énoncées, permet ce type de masquage et ce type de gravure profonde.

Si la gravure d'un puits tel que 16 est relativement profonde, de l'ordre de 25 μm , le fond du puits est en forme

de V, tel que représenté en figure 3, parce que l'attaque se fait selon des plans $[110]$

La première phase, après gravure de la silice 24 et gravure anisotropique d'un puits 16, aboutit donc à une configuration telle que représentée en figure 5.

Les flancs du puits 16 étant du silicium sans protection, une diffusion permet de les transformer en une couche 18 dopée de type P^+ par exemple, en figure 6. La diffusion de BCl_3 gazeux, à $1150^\circ C$ pendant 20 minutes et en présence de traces d'oxygène, permet de transformer les flancs du puits 16 en une couche 18 de type P^+ sur $2 \mu m$ d'épaisseur.

Avant de creuser le deuxième puits 17, qui isolera une cloison 14 constitutive de la diode, il convient d'abord de protéger le canal P^+ qui vient d'être formé. Ceci est obtenu en réoxydant, en figure 7, le silicium en phase vapeur : une couche superficielle 27, de $0,5 \mu m$ d'épaisseur, de la couche 18 de silicium P^+ est transformée en silice, et formera la couche d'arrêt contre la future diffusion N^+ .

Pour chaque diode, le deuxième puits 17 est gravé selon un processus identique à celui de la gravure du premier puits 16, et qui, pour cette raison, n'est pas représenté en détail.

Sur la tranche de silicium est déposée une couche de résine photosensible, qui est masquée et développée pour faire apparaître une fenêtre 28 - figure 4 - parallèle à la précédente fenêtre 26 dans la silice 24. Une gravure anisotropique par la même solution aqueuse d'alcool isopropylique et de potasse crée un puits 17, de même dimensions que le puits 16. Les deux puits 16 et 17 sont distants d'environ $10 \mu m$, qui constitue l'épaisseur de la cloison 14 de silicium intrinsèque.

La couche 19 de type N^+ , sur les parois du puits 17, est formée par une deuxième diffusion, à partir de $POCl_3$ liquide entraîné par un courant d'azote : les vapeurs de $POCl_3$ s'oxydent en P_2O_5 , à $1050^\circ C$, et après 20 minutes une couche 19 de silicium N^+ recouvre les parois du puits 17, sur $2 \mu m$.

d'épaisseur.

La couche 27 de silice, à l'intérieur du puits 16, a protégé la couche P^+ contre le dopage N^+ de la deuxième diffusion. Elle peut être maintenant éliminée par voie chimique, ce qui permettra de prendre les contacts électriques, mais comme elle n'a que $0,5 \mu m$ d'épaisseur et que la couche 24 a $1 \mu m$ d'épaisseur, il reste après attaque $0,5 \mu m$ de silice de protection sur les faces supérieure et inférieure du substrat.

L'achèvement de la diode, telle que représentée en figure 3, se fait selon des techniques connues :

- métallisation de la face supérieure de la tranche de silicium, par la chaîne Si Pt- Ti - Pt - Au;
- masquage de cette métallisation globale et gravure pour isoler les métallisations minces 20 et 21 qui, descendant dans les puits, prennent les contacts sur les couches 18 et 19 diffusées P^+ et N^+ .
- éventuellement, croissance électrolytique des poutres 22 et 23
- séparation des puces de diodes par gravure anisotropique par la face arrière.

Le procédé a été décrit en effectuant d'abord une diffusion P^+ et ensuite une diffusion N^+ , mais bien entendu l'ordre des diffusions peut être inversé sans sortir du domaine de l'invention.

Les figures 9 et 10 complètent les figures précédentes en donnant une vue en plan de la diode PIN selon l'invention : sans métallisations en figure 9, et dotée de ses connexions par poutres en figure 10.

Les avantages de cette structure sont nombreux.

La technique de gravure anisotropique permet d'obtenir des zones intrinsèques très fines et très précises, d'où obtention de capacités très faibles et réduction des pertes d'insertion aux montages hyperfréquences.

La définition des zones diffusées est beaucoup plus précise qu'en technologie planar, d'où homogénéité des tensions de claquage.

La zone intrinsèque est mieux localisée qu'en technologie planar, d'où réduction des temps de commutation.

5 La passivation par une couche de SiO_2 est meilleure qu'en technologie méso, et il n'y a pas de capacité parasite avec l'anneau de verre qui, dans certains cas, entoure une diode méso. Le silicium intrinsèque se comporte comme un diélectrique aux fréquences élevées.

10 La diode selon l'invention est utilisée en commutation rapide dans les systèmes hyperfréquences, dans la bande 2 - 18 GHz et au delà.

REVENDECATIONS

1 - Diode hyperfréquence de type PIN, comportant, outre un substrat (15) en silicium intrinsèque, une région (14), intrinsèque, comprise entre deux régions dopées respectivement de type P^+ (18) et de type N^+ (19), cette diode PIN étant caractérisée en ce qu'elle a une structure verticale, enterrée dans le substrat (15), et est constituée par une cloison de silicium intrinsèque (14) gravée dans l'épaisseur du substrat (15) au moyen de deux puits (16,17) dont les parois sont dopées de type P^+ pour un premier puits (16) et de type N^+ pour un second puits (17), de sorte que la cloison intrinsèque (14) est modifiée de type P^+ sur une première face (18) et de type N^+ sur une deuxième face (19), ladite diode étant complétée par deux métallisations (20,21) qui, descendant dans les puits, assurent les contacts électriques avec les régions P^+ (18) et N^+ (19) de la diode PIN.

2 - Diode hyperfréquence selon la revendication 1, caractérisée en ce que la cloison en silicium intrinsèque (14) a ses faces orientées selon un plan cristalllographique ($[111]$) perpendiculaire au plan cristallographique ($[110]$) du silicium du substrat (15).

3 - Diode hyperfréquence selon la revendication 2, caractérisée en ce que la cloison intrinsèque (14) a ses faces parallèles entre elles, définies par deux puits (16,17) gravés de façon anistropique en respectant les plans cristallographiques ($[1\bar{1}\bar{1}]$ et $[\bar{1}11]$) perpendiculaires au plan cristallographique ($[110]$) du substrat (15).

4 - Diode hyperfréquence selon la revendication 2, caractérisée en ce qu'elle est passivée, sur les deux faces principales du substrat (15) par deux couches de silice (24,25) qui sont les couches d'arrêt de gravures anisotropiques des puits (16,17) qui définissent la cloison (14).

5 - Procédé de fabrication collective d'une diode PIN hyperfréquence, caractérisé par les opérations suivantes :

- sur les deux faces d'une tranche de silicium intrinsèque (15), croissance de deux couches de silice (24,25) en phase vapeur,
- dépôt sur une face de la tranche de silicium d'une couche de résine photosensible, masquage en respectant l'orientation de plans cristallographiques ($[\bar{1}\bar{1}\bar{1}]$ et $[\bar{1}\bar{1}\bar{1}]$) perpendiculaires au plan cristallographique ($[110]$) du substrat (15), et développement du masque
- gravure anisotrope du substrat de silicium intrinsèque (15) par une solution aqueuse de potasse et d'alcool isopropylique, aboutissant à la formation d'un premier puits (16) dont au moins une paroi est dans un plan cristallographique ($[\bar{1}\bar{1}\bar{1}]$) perpendiculaire au plan cristallographique ($[110]$) du substrat (15)
- première diffusion , sur les parois de ce premier puits (16) d'une couche (18) de type P^+
- réoxydation partielle, en vue de protéger la couche (18) de type P^+ par une couche de silice (27)
- masquage et gravure, dans des conditions identiques à celles du premier puits (16), d'un second puits (17) définissant, avec le premier puits (16), une cloison (14) perpendiculaire au plan cristallographique ($[110]$) du substrat (15),
- seconde diffusion, sur les parois de ce second puits (17), d'une couche (19) de type N^+ ,
- attaque chimique de la couche de silice (27) qui recouvre la couche (18) de type P^+ dans le premier puits (16)
- dépôt de métallisations (20,21) dans le puits (16,17) et sur la face supérieure du substrat (15), en vue de prendre les contacts électriques sur les couches (18) de type P^+ et (19) de type N^+ qui recouvrent les parois de la cloison (14) intrinsèque.

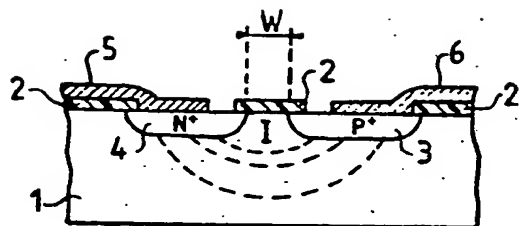


FIG. 1

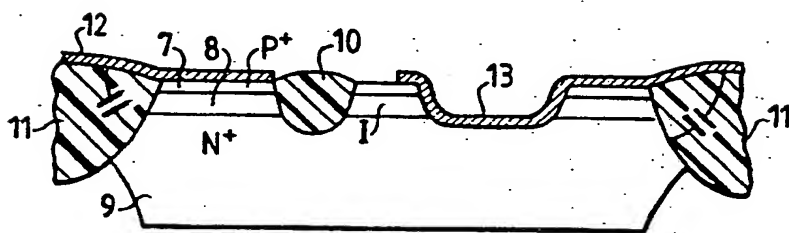


FIG. 2

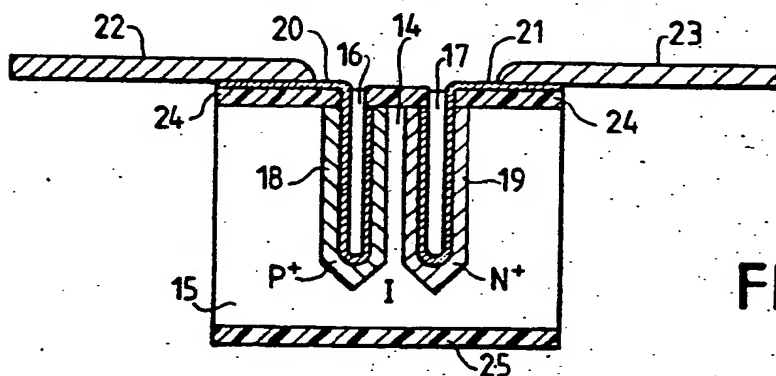


FIG. 3

FIG. 4

[111]

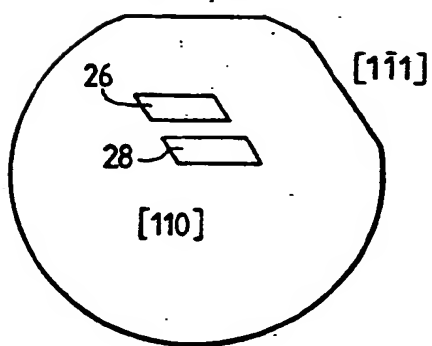
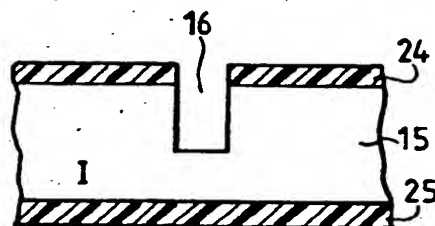


FIG. 5



2/2

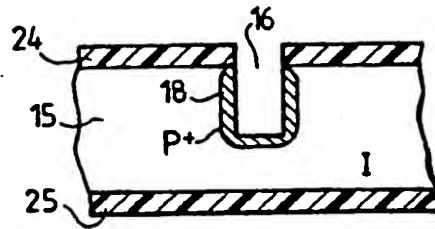


FIG. 6

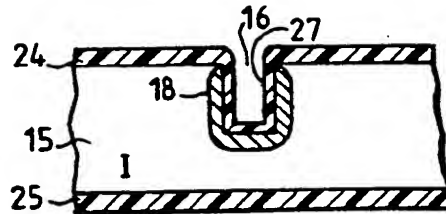


FIG. 7

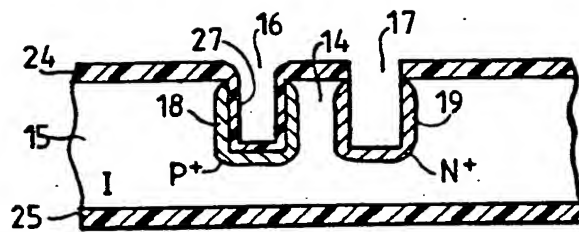


FIG. 8

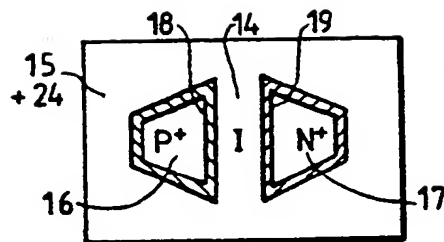


FIG. 9

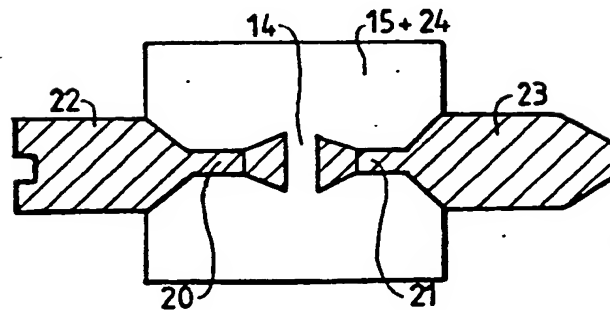


FIG. 10

THIS PAGE BLANK (USPTO)